



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0040155
Application Number

출원 년 월 일 : 2003년 06월 20일
Date of Application JUN 20, 2003

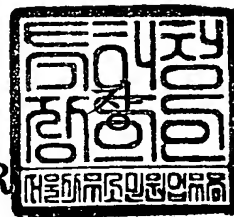
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER





1020030040155

출력 일자: 2003/10/13

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.20
【발명의 명칭】	반도체소자의 게이트전극 형성방법
【발명의 영문명칭】	Method of forming gate electrode in semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	동차덕
【성명의 영문표기】	DONG, Cha Deok
【주민등록번호】	720328-1168041
【우편번호】	467-040
【주소】	경기도 이천시 송정동 322번지 동양아파트 101-704
【국적】	KR
【발명자】	
【성명의 국문표기】	손호민
【성명의 영문표기】	SON, Ho Min
【주민등록번호】	690225-1683137
【우편번호】	467-854
【주소】	경기도 이천시 대월면 사동리 현대전자사원아파트 102-606호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)



1020030040155

출력 일자: 2003/10/13

【수수료】

【기본출원료】 14 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 6 항 301,000 원

【합계】 330,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체소자의 게이트전극 형성방법에 관한 것으로, 본 발명의 사상은 반도체 기판 상부에 폴리실리콘막 및 금속실리사이드막을 순차적으로 형성하는 단계와, 상기 금속실리사이드막을 결정화시켜 결정화된 상기 금속실리사이드막의 식각율이 상기 폴리실리콘막과 유사하도록 어닐(anneal)공정을 수행하는 단계 및 상기 결정화된 상기 금속실리사이드막과 상기 폴리실리콘막의 유사한 식각율을 이용하여 상기 금속실리사이드막 및 폴리실리콘막을 한 번의 식각공정으로 식각하여 게이트전극을 형성하는 단계를 포함한다. 본 발명에 의하면, 어닐공정을 통해 텅스텐 실리사이드막을 결정화시켜, 폴리실리콘막과 결정화된 텅스텐 실리사이드막에 한 번의 식각공정을 수행함으로써 폴리실리콘막의 리세스형성을 방지하여 버티컬한 프로파일을 갖는 게이트전극 패턴을 형성할 수 있게 한다.

【대표도】

도 3

【색인어】

게이트전극, 금속 실리사이드막

【명세서】**【발명의 명칭】**

반도체소자의 게이트전극 형성방법{Method of forming gate electrode in semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 4는 본 발명에 따른 일 실시예인 반도체 소자의 게이트전극 형성방법을 설명하기 위한 단면도이다.

도면의 주요부분에 대한 부호의 설명

10: 반도체 기판 12: 터널 산화막

14: 제1 폴리실리콘막 16: 제2 폴리실리콘막

18: 유전체막 20: 제3 폴리실리콘막

22a: 텅스텐 실리사이드막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체소자의 게이트전극 형성방법에 관한 것으로, 더욱 상세하게는 반도체소자의 폴리사이드구조로 이루어진 게이트전극 형성방법에 관한 것이다.

- <8> 반도체소자가 점차적으로 고집적화됨에 따라 게이트전극을 형성하는 폴리실리콘층의 저항성을 개선하기 위해 금속실리사이드막을 폴리실리콘막 상부면에 증착하여 게이트전극을 형성하는 폴리사이드구조의 게이트전극을 주로 사용한다. 이와 같은 폴리사이드구조의 게이트전극을 형성함에 있어서, 폴리실리콘막과 금속실리사이드막인 텅스텐 실리사이드막을 각각 식각하여 버티컬(vertical)한 프로파일(profile)을 갖는 게이트전극 패턴을 형성한다.
- <9> 이때 상기 텅스텐 실리사이드막의 식각 후 폴리실리콘막의 식각을 수행하는 데, 상기 텅스텐 실리사이드막의 식각시 폴리실리콘막의 일부를 리세스하고, 이 리세스된 폴리실리콘막에 게이트전극 패턴링을 위한 식각을 다시 수행하면, 폴리실리콘막에 대하여는 두 번의 식각공정을 수행하게 된다. 상기 두 번의 식각공정을 수행한 폴리실리콘막의 프로파일은 상 하부의 다른 막질들의 프로파일보다 움푹 들어가는 형상을 볼 수 있다.
- <10> 따라서 상기와 같은 프로파일을 갖는 폴리실리콘막은 버티컬한 프로파일을 갖는 게이트전극 패턴 형성을 어렵게 하여 소자특성 열화를 가져오는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <11> 상술한 문제점을 해결하기 위한 본 발명의 목적은 게이트전극의 버티컬한 프로파일을 형성하여 소자특성열화를 방지할 수 있는 반도체소자의 게이트전극 형성방법을 제공함에 있다.

【발명의 구성 및 작용】

- <12> 상술한 목적을 달성하기 위한 본 발명의 사상은 반도체 기판 상부에 폴리실리콘막 및 금속실리사이드막을 순차적으로 형성하는 단계와 상기 금속실리사이드막을 결정화시켜 결정화된

상기 금속실리사이드막의 식각율이 상기 폴리실리콘막과 유사하도록 어닐(anneal)공정을 수행하는 단계 및 상기 결정화된 상기 금속실리사이드막과 상기 폴리실리콘막의 유사한 식각율을 이용하여 상기 금속실리사이드막 및 폴리실리콘막을 한 번의 식각공정으로 식각하여 게이트전극을 형성하는 단계를 포함한다.

- <13> 상기 어닐공정은 비결정질상태인 상기 금속실리사이드막을 결정화시켜 결정질상태의 금속실리사이드막으로 형성하기 위하여 RTP(Rapid thermal process)어닐공정 또는 퍼니스(furnace)어닐공정 중 어느 하나를 수행하는 것이 바람직하고, 상기 RTP(Rapid thermal process)어닐공정은 900~ 1000℃의 온도 범위, 10~ 30sec 시간, N₂ 또는 NH₃ 가스 분위기에서 진행하고, 상기 퍼니스(furnace)어닐공정은 850~ 1000℃의 온도, 5~ 30min 시간, N₂ 또는 NH₃ 가스분위기에서 진행하는 것이 바람직하다.
- <14> 상기 금속실리사이드막은 텅스텐실리사이드막으로 형성하는 것이 바람직하고, 상기 식각공정은 상기 폴리실리콘막을 식각하기 위한 공정조건으로 수행하는 것이 바람직하고, 상기 식각공정은 Cl₂가스와 O₂ 가스가 혼합된 가스가 유도결합 플라즈마 챔버로 유입하도록 하여 수행하는 건식식각공정인 것이 바람직하다.
- <15> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있지만 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에 서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해 제공되어지는 것이다. 따라서, 도면에서의 막의 두께 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한 어떤 막이 다른 막 또는 반도체 기판의 '상'에 있다 또는 접촉하고 있다 라고 기재되는 경우에, 상기 어떤

막은 상기 다른 막 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는 그 사이에 제 3의 막이 개재되어질 수도 있다.

<16> 도 1 내지 도 4는 본 발명에 따른 일 실시예인 반도체 소자의 게이트전극 형성방법을 설명하기 위한 단면도이다.

<17> 도 1을 참조하면, 실리콘재질의 반도체기판(10) 상부 전면에 터널 산화막(12), 플로팅 게이트전극용 제1 폴리실리콘막(14), 플로팅 게이트전극용 제2 폴리실리콘막(16), 유전체막(18), 콘트롤 게이트전극용 제3 폴리실리콘막(20), 텅스텐 실리사이드막(22a) 및 하드마스크(24)를 순차적으로 형성한다. 상기 터널산화막(12)은 750~ 800℃의 온도범위내에서 습식산화를 진행한 후, 약 900~ 910℃의 온도범위와 N₂의 기체분위기에서 약 20~ 30분 동안 열처리하여 형성할 수 있다. 상기 플로팅 게이트전극용 제1 폴리실리콘막(14)은 SiH₄ 또는 SiH₆와 같은 Si 소스 가스와 PH₃ 가스를 이용한 저압화학기상증착(pressure chemical vapor deposition: 이하 는 'LP- CVD'이라 칭함)법을 통해 약 500~ 550℃의 온도 및 약 0.1~ 3torr의 압력에서 70~ 150 Å 정도의 두께로 형성한다. 상기 플로팅 게이트전극용 제2 폴리실리콘막(16)은 상기 제1 폴리실리콘막(14)과 동일한 공정조건을 통해 600~ 1400Å 정도의 두께로 형성할 수 있다. 상기 유전체막(18)은 ONO 구조 즉, 제1 산화막, 질화막 및 제2 산화막이 순차적으로 적층된 구조로 형성하는 것이 바람직하다. 이 때의 제1 산화막 및 제2 산화막은 약 600~ 700℃의 온도분위기에서 공정을 수행하는 챔버로 로딩하여 약 1~ 3 torr이하의 압력 및 약 810~ 850℃의 온도에서 LP- CVD법으로 35~ 60Å 정도의 두께로 형성하고, SiH₂Cl₂(DichloroSilane; DCS)를 소스로 한 HTO(high temperature oxide)막 또는 N₂O가스를 소스로 한 HTO막 중 어느 하나로 형성할 수 있다. 상기 질화막은 반응기체로서 NH₃와 SiH₂Cl₂가스를 이용하여 약 1~ 3torr이하의 압력 및 약 650~ 800℃온도에서 LP- CVD법으로 50~ 65Å 정도의 두께로 형성한다. 이어서, 상기 유전체막

(18)의 형성 완료후에는 유전체막(18)의 특성을 향상시키고, 각 막질들 간의 경계를 강화하기 위해 약 750~ 800℃의 온도범위에서 습식산화방식의 스팀어닐(Steam anneal)공정을 진행한다. 상기 스팀어닐공정은 자연산화막 또는 불순물에 의한 오염이 발생되지 않도록 유전체막(18)의 증착 후에 시간지연없이 150~300Å 정도의 두께로 산화막을 형성하도록 수행한다. 상기 콘트롤 게이트전극용 제3 폴리실리콘막(20)은 SiH_4 또는 SiH_6 와 같은 Si 소스 가스와 PH_3 가스를 이용한 LP-CVD법을 통해 500~ 550℃의 온도 및 0.1~ 3torr의 압력조건에서 70~ 150Å 두께로 형성한다. 상기 텅스텐 실리사이드막(22)은 비결정질 상태의 텅스텐 실리사이드막으로써, SiH_4 (monosilane : MS) 또는 SiH_2Cl_2 (DichloroSilane: DCS)와 WF_6 의 반응에 의해 1000~ 1200℃ 정도의 두께로 형성하고, 300 내지 500℃의 온도에서 양호한 스텝 커버리지(step coverage)를 구현하면서 막질의 면저항을 최소화하도록 화학양론적비 2.0 내지 2.8 정도로 조절한다. 이때 증착한 1000~ 1200Å 두께의 텅스텐 실리사이드막(22)은 이후 어닐공정의 진행시 전체 두께의 약 20% 정도 감소할 두께, 즉, 200Å의 두께를 감안하여 형성한 것이다.

<18> 도 2를 참조하면, 상기 형성된 구조물 전면에 어닐(anneal)공정을 수행한다. 이 어닐공정은 비결정질상태의 텅스텐 실리사이드막(22a)을 결정화시켜, 결정질상태의 제3 폴리실리콘막(20)과의 막질특성 즉, 식각률이 유사하도록 한다. 따라서 상기 결정화된 텅스텐 실리사이드막(22b)과 제3 폴리실리콘막(20)의 식각률이 유사하게 되어, 이후 게이트전극 패터닝을 위한 식각시 결정화된 텅스텐 실리사이드막(22b)과 제3 폴리실리콘막(20)은 한 번의 식각공정을 통해 이 두 막질을 동시에 식각할 수 있게 된다. 이때, 사용하는 어닐공정에는 RTP(Rapid thermal process)어닐공정 또는 퍼니스(furnace)어닐공정이 있다. RTP 어닐공정으로 진행할 때는 900~ 1000℃의 온도 범위내에서 10~ 30sec 시간동안, N_2 또는 NH_3 가스 분위기



에서 수행하고, 퍼니스 어닐공정으로 진행할 때는 850~ 1000℃의 온도범위, 5~ 30min 시간동안, N_2 또는 NH_3 가스분위기에서 수행한다. 또한, 상기 어닐공정을 수행하면, 1000~ 1200℃ 두께의 텅스텐 실리사이드막(22b)은 전체 두께의 약 20% 즉, 200Å의 두께가 감소하여 800~ 1000Å 두께의 텅스텐 실리사이드막이 남아있게 된다. 이 두께가 감소한 텅스텐 실리사이드막(22b)으로 인해 이후 공정을 통해 높이가 낮아진 게이트전극 패턴을 구비하는 데, 이는 고 집적소자의 게이트전극 형성 공정시 유리하.

<19> 도 3을 참조하면, 상기 결과물 상부에 형성한 하드마스크(24)를 식각마스크로 식각공정을 수행하여, 게이트전극 패턴(G.P)을 형성한다. 우선, 하드마스크(24)로 결정화된 텅스텐 실리사이드막(22b)과 제3 폴리실리콘막(20)에 대해 식각공정을 수행하여 패터닝된 텅스텐 실리사이드막(22P)과 제3 폴리실리콘막(20P)을 형성한다. 이때의 식각공정은 상기 어닐공정을 통해 유사한 식각율을 가진, 결정화된 텅스텐 실리사이드막(22b)과 제3 폴리실리콘막(20)에 대해 수행하기 때문에 한번의 식각공정으로 두 막질을 동시에 식각할 수 있다. 따라서 게이트전극 형성을 위해 결정화된 텅스텐 실리사이드막(22b)과 제3 폴리실리콘막(20)에 수행하는 한번의 식각공정으로 제3 폴리실리콘막(22)의 리세스(recess)형성을 방지하여 버티컬한 프로파일을 갖는 게이트전극 패턴을 형성할 수 있다. 이 식각공정은 Cl_2 가스: O_2 가스의 비가 4: 6인 혼합가스가 유도결합 플라즈마 챔버로 유입하도록 하여 수행하는 건식식각공정을 진행한다. 이때, 수행하는 건식식각공정은 제3 폴리실리콘막(22)의 식

각시 사용하는 공정조건으로 수행하는 데, 이는 결정화된 텅스텐 실리사이드막(22b)을 제3 폴리실리콘막(22)과 식각율이 동일한 막질로 여겨 식각공정을 수행하기 때문이다. 이어서, 상기 버티컬한 프로파일로 패터닝된 텅스텐 실리사이드막(22P)과 제3 폴리실리콘막(20P)을 식각마스크로 하부막질들을 식각하면, 패터닝된 유전체막(18P), 제2 폴리실리콘막(16P), 제1 폴리실리콘막(14P) 및 터널산화막(12P)을 형성하여 버티컬한 프로파일을 갖는 게이트전극 패턴(G.P)의 형성을 완료한다.

<20> 도 4를 참조하면, 상기 형성된 게이트전극 패턴(G.P)에 산화공정을 진행한다. 우선, 상기 게이트전극 패턴(G.P)에 수행할 산화공정을 위한 전처리 세정공정을 진행한다. 이 세정공정은 상기 터널 산화막(12), 유전체막(18)의 산화막에 손상이 적은 SC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$)세정용액을 사용하여 진행할 수 있는 데, 상기 버티컬한 프로파일을 갖는 게이트전극 패턴(G.P)의 측벽 기울기가 세정용액에 의해 저하되지 않도록 하기 위해서이다. 상기 결과물 전면에 산화공정을 수행하면, 버티컬한 프로파일을 갖는 게이트전극 패턴(G.P)측벽에 균일한 산화막(26)을 형성하여 측벽의 거칠기(roughness)를 안정화시킬 수 있다. 이때, 산화공정은 750~ 950℃의 온도 범위 및 1~ 10slm의 O_2 가스가 흐르는 공정조건을 가지는, 산화공정의 속도제어가 용이한 건식 산화방식으로 진행할 수 있다.

<21> 본 발명의 바람직한 실시예에 따르면, 어닐공정을 통해 텅스텐 실리사이드막을 결정화시켜, 폴리실리콘막과 결정화된 텅스텐 실리사이드막에 한 번의 식각공정을 수행함으로써 폴리실리콘막의 리세스형성을 방지하여 버티컬한 프로파일을 갖는 게이트전극 패턴을 형성할 수 있게 한다.



<22> 본 발명의 일실시예에서는 플래시 메모리소자의 폴리사이드구조 게이트전극에 대해서만 제시하고 있지만, 폴리사이드구조 게이트전극을 형성하는 공정에 관해서는 어디에도 적용할 수 있다.

【발명의 효과】

<23> 이상에서 살펴본 바와 같이 본 발명에 의하면, 어닐공정을 통해 텅스텐 실리사이드막을 결정화시켜, 폴리실리콘막과 결정화된 텅스텐 실리사이드막에 한 번의 식각공정을 수행함으로써 폴리실리콘막의 리세스형성을 방지하여 버티컬한 프로파일을 갖는 게이트전극 패턴을 형성할 수 있게 함으로써, 소자특성열화를 방지할 수 있는 효과가 있다.

<24> 본 발명은 구체적인 실시 예에 대해서만 상세히 설명하였지만 본 발명의 기술적 사상의 범위 내에서 변형이나 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이며, 그러한 변형이나 변경은 본 발명의 특허청구범위에 속한다 할 것이다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상부에 폴리실리콘막 및 금속실리사이드막을 순차적으로 형성하는 단계;

상기 금속실리사이드막을 결정화시켜 결정화된 상기 금속실리사이드막의 식각율이 상기 폴리실리콘막과 유사하도록 어닐(anneal)공정을 수행하는 단계; 및

상기 결정화된 상기 금속실리사이드막과 상기 폴리실리콘막의 유사한 식각율을 이용하여 상기 금속실리사이드막 및 폴리실리콘막을 한 번의 식각공정으로 식각하여 게이트전극을 형성하는 단계를 포함하는 반도체소자의 게이트전극 형성방법.

【청구항 2】

제1 항에 있어서, 상기 어닐공정은

비결정질상태인 상기 금속실리사이드막을 결정화시켜 결정질상태의 금속실리사이드막으로 형성하기 위하여 RTP(Rapid thermal process)어닐공정 또는 퍼니스(furnace)어닐공정 중 어느 하나를 수행하는 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

【청구항 3】

제2 항에 있어서,

상기 RTP(Rapid thermal process)어닐공정은 900~ 1000℃의 온도 범위, 10~ 30sec 시간, N₂ 또는 NH₃ 가스 분위기에서 진행하고, 상기 퍼니스(furnace)어닐공정은 850~ 1000℃의 온도, 5~ 30min 시간, N₂ 또는 NH₃ 가스분위기에서 진행하는 것을 특징으로 하는 반도체소자의 게이

트전극 형성방법.

【청구항 4】

제1 항에 있어서, 상기 금속실리사이드막은

텅스텐실리사이드막으로 형성하는 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

【청구항 5】

제1 항에 있어서, 상기 식각공정은

상기 폴리실리콘막을 식각하기 위한 공정조건으로 수행하는 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

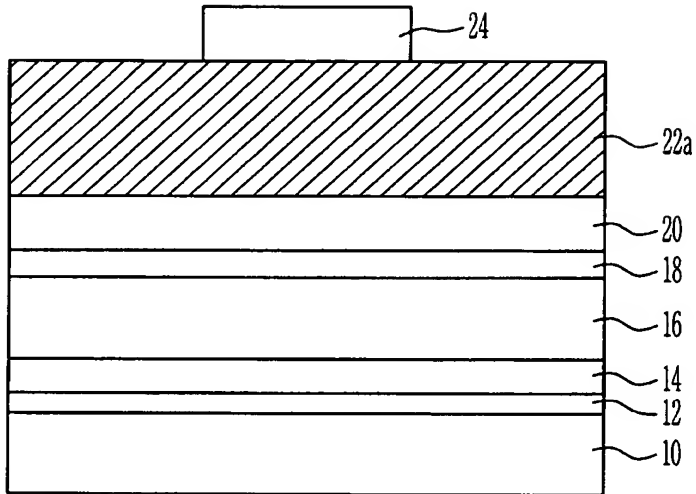
【청구항 6】

제1 항 또는 제5 항에 있어서, 상기 식각공정은

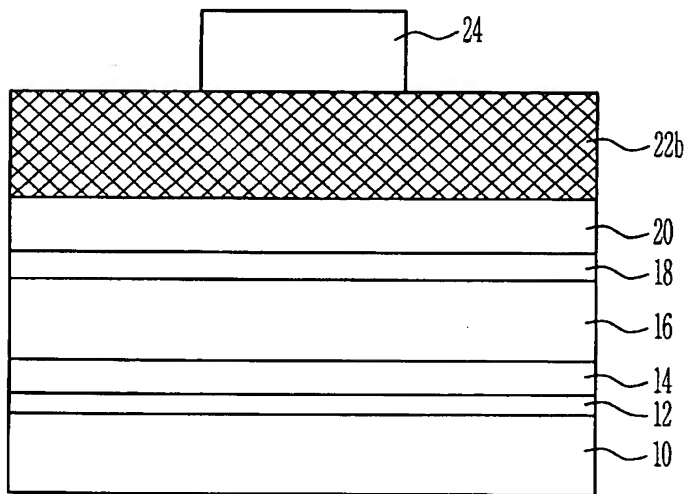
Cl_2 가스와 O_2 가스가 혼합된 가스가 유도결합 플라즈마 챔버로 유입하도록 하여 수행하는 건식식각공정인 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

【도면】

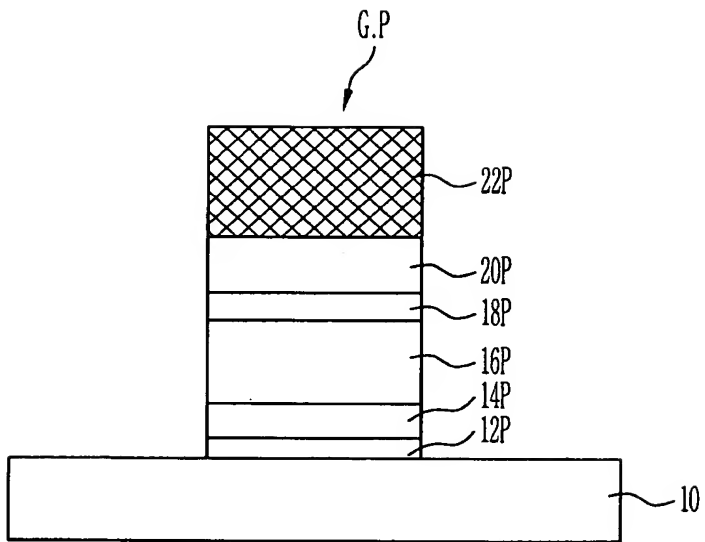
【도 1】



【도 2】



【도 3】



【도 4】

